


PRINTED BOARD AND PRINTED BOARD FOR ELECTRONIC EQUIPMENT

Patent Number: JP2001084070
Publication date: 2001-03-30
Inventor(s): SUDO TOSHIO
Applicant(s): TOSHIBA CORP
Requested Patent:  JP2001084070
Application Number: JP19990257601 19990910
Priority Number(s):
IPC Classification: G06F3/00; H05K1/02
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To make it possible to hold a signal transmission waveform as a fine waveform despite the existence of a branch point and to sharply suppress the generation of unnecessary electromagnetic radiation.
SOLUTION: Respective resistor elements R1 to R3 are connected to 2nd and 3rd signal wires 11, 12 connected to a 1st signal wire 10 through a branch point Bo and relation among the resistor R1, the characteristic impedance Z2 of the 2nd signal wire 11 and the resistor element R2 is set so as to satisfy both of a matching condition capable of preventing the generation of a reflected wave on a boundary B1 between the 1st signal wire 10 and the element R1 when a clock signal is propagated through the 1st signal wire 10 and a matching condition capable of preventing the generation of a reflected wave on a boundary B2 between the 2nd signal wire 11 and the resistor R2 when a reflected wave generated on the terminal of the 2nd signal wire 11 is propagated into the 2nd signal wire 11 after the passage of the clock signal through the branch point Bo.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-84070
(P2001-84070A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F	3/00	G 0 6 F 3/00	K 5 E 3 3 8
H 0 5 K	1/02	H 0 5 K 1/02	P

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平11-257601

(22) 出願日 平成11年9月10日 (1999.9.10)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 須藤 俊夫

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

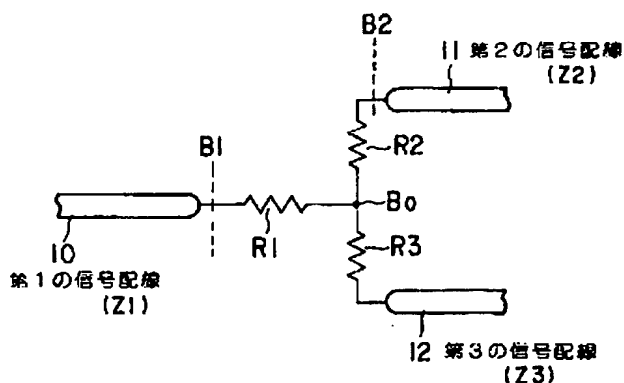
Fターム(参考) 5E338 AA00 BB75 CC01 CC06 CD08
CD12 EE13

(54) 【発明の名称】 プリント配線基板及び電子機器のプリント配線基板

(57) 【要約】

【課題】 分岐点があるのに関わらず信号伝送波形を良好な波形に保つことができ、不要電磁輻射の発生を大きく抑えること。

【解決手段】 第1の信号配線10に分岐点B0を介して接続される第2及び第3の信号配線11、12に各抵抗素子R1～R3を接続し、クロック信号が第1の信号配線10に伝播し、第1の信号配線10と抵抗素子R1との境界B1において反射波が生じない整合条件と、クロック信号が分岐点B0を通過後に、第2の信号配線11の終端で生じた反射波が第2の信号配線11に伝播し、この第2の信号配線11と抵抗素子R2との境界B2において反射波が生じない整合条件とを満たすような抵抗素子R1と第2の信号配線11の特性インピーダンスZ2と抵抗素子R2との関係にする。



【特許請求の範囲】

【請求項1】 プリント配線基板上に形成される信号配線を複数の信号配線に分岐する場合、信号配線と前記分岐点との間に、抵抗素子と前記各信号配線の特性インピーダンスとの関係が前記分岐元の前記信号配線から前記分岐点に向かって信号伝播するときの整合条件と分岐された前記信号配線の各終端から反射されて逆方向に戻って信号伝播するときの整合条件との双方を満たす少なくとも1つの分岐回路を具備したことを特徴とするプリント配線基板。

【請求項2】 プリント配線基板上に形成され特性インピーダンス Z_1 を有する第1の信号配線を、同一の特性インピーダンス Z_2 、 Z_3 を有する第2と第3の信号配線に分岐する場合、これら第1乃至第3の信号配線と前記分岐点との間にそれぞれ抵抗値 R_1 、 R_2 、 R_3 の各抵抗素子を接続し、これら抵抗素子と前記第1乃至第3各信号配線の特性インピーダンス Z_1 、 Z_2 （ $=Z_3$ ）との関係を、

$$R_1 = (Z_2 + R_2) (Z_2 - 2R_2) / 4 \cdot R_2$$

を満たすものとすることを特徴とするプリント配線基板。

【請求項3】 第1乃至第3の信号配線の特性インピーダンス Z_1 、 Z_2 、 Z_3 とが全て同一の場合（ $Z_1 = Z_2 = Z_3$ ）、 $Z_1 = 3 \cdot R_1$

の関係を満たすものとすることを特徴とする請求項2記載のプリント配線基板。

【請求項4】 分岐元の信号配線を複数の信号配線に分岐して形成されたプリント配線基板において、これら信号配線と前記分岐点との間に、前記分岐元の前記信号配線から前記分岐点に向かって信号伝播するときの整合条件と、分岐された前記信号配線の各終端から反射されて逆方向に戻って信号伝播するときの整合条件との双方を満たすような前記各信号配線の特性インピーダンスとの関係を有する各抵抗素子を接続したことを特徴とするプリント配線基板。

【請求項5】 特性インピーダンス Z_1 を有する第1の信号配線を、同一の特性インピーダンス Z_2 、 Z_3 を有する第2と第3の信号配線に分岐する場合、前記第1乃至第3の信号配線と前記分岐点との間に接続される前記各抵抗素子の各抵抗値を R_1 、 R_2 、 R_3 とすると、 $R_1 = (Z_2 + R_2) (Z_2 - 2R_2) / 4 \cdot R_2$ の関係を満たすものを選定されることを特徴とする請求項4記載のプリント配線基板。

【請求項6】 前記第1乃至第3の信号配線の特性インピーダンス Z_1 、 Z_2 、 Z_3 とが全て同一の場合（ $Z_1 = Z_2 = Z_3$ ）、 $Z_1 = 3 \cdot R_1$

の関係を満たすものとすることを特徴とする請求項4記載のプリント配線基板。

【請求項7】 クロック信号源と、このクロック信号源に接続された第1の信号配線と、この第1の信号配線から分岐された第2及び第3の信号配線と、これら第2及び第3の信号配線の終端に接続されたメモリなどの各負荷とが形成された電子機器のプリント配線基板において、前記第1乃至第3の信号配線と前記分岐点との間にそれぞれ抵抗値 R_1 、 R_2 、 R_3 の各抵抗素子を接続し、これら抵抗素子と前記第1乃至第3各信号配線の特性インピーダンス Z_1 、 Z_2 、 Z_3 との関係を、前記第2と第3の信号配線の各特性インピーダンス Z_2 、 Z_3 が同一の場合、

$$R_1 = (Z_2 + R_2) (Z_2 - 2R_2) / 4 \cdot R_2$$

を満たすものとすることを特徴とする電子機器のプリント配線基板。

【請求項8】 前記第1乃至第3の信号配線の特性インピーダンス Z_1 、 Z_2 、 Z_3 とが全て同一の場合（ $Z_1 = Z_2 = Z_3$ ）、

$$Z_1 = 3 \cdot R_1$$

の関係を満たすものとすることを特徴とする請求項7記載の電子機器のプリント配線基板。

【請求項9】 前記クロック信号源の周波数と前記第2及び第3の信号配線の各終端から反射されて逆方向に戻ってくる信号伝播の時間との関係に基づいて得られる前記クロック信号源の高周波数帯域、又は所定距離以上の前記第2及び第3の信号配線の長さのいずれか一方又は両方の場合に、前記第1乃至第3の信号配線と前記分岐点との間にそれぞれ前記各抵抗素子を接続することとを特徴とする請求項7又は8記載の電子機器のプリント配線基板。

【請求項10】 前記メモリなどの負荷がオープン状態にある場合に、前記第1乃至第3の信号配線と前記分岐点との間にそれぞれ前記各抵抗素子を接続することとを特徴とする請求項7又は8記載の電子機器のプリント配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高周波数のクロック信号を用いるプリント配線基板の配線分岐方法、プリント配線基板及び電子機器のプリント配線基板に関する。

【0002】

【従来の技術】 例えば液晶表示パネルなどの各種電子機器には、CPU（中央処理装置）やメモリ、バス、各種ポート、抵抗素子などのチップ部品を搭載し、かつプリント配線が形成されたプリント配線基板が備えられている。このようなプリント配線基板では、例えば液晶表示パネルにおける液晶表示のドライバ駆動の高速化に伴って高周波数のクロック信号源を搭載して対応している。

【0003】 このクロック信号源から出力されるクロック信号は、プリント配線基板に形成された信号配線を信

号伝播し、かつ複数の分岐された各信号配線に分岐されて例えばCMOS等の各種メモリに供給される。

【0004】

【発明が解決しようとする課題】しかしながら、クロック信号源から出力されるクロック信号は、図3(a)に示すように歪みのない信号伝送波形となっているが、プリント配線基板に形成された信号配線の分岐の終端からの反射波の影響を受けて同図(b)に示すように乱れた信号伝送波形となり、この信号伝送波形によって不要電磁輻射(EMI)が発生する要因となっている。

【0005】このように反射波の影響を受けて乱れた信号伝送波形となるのは、クロック信号源の周波数と分岐された信号配線の各終端から反射されて逆方向に戻ってくる信号伝播の時間とに関係がある。例えば、クロック

$$l > t_r \cdot v_o / 2$$

$$T = l / v_o$$

により表わされる。

【0007】反射波の影響を受けて乱れた信号伝送波形となり不要電磁輻射が発生するのは、クロック信号源1

$$t_r < 2T$$

の関係にあり、この場合、回路は分布定数回路で表わされる。

【0008】このような場合、反射波成分が分岐点3と分岐された各信号配線4、5の終端との間で生じる共振周波数によって反射波が生じ、不要電磁輻射が発生する。

【0009】このような不要電磁輻射の対策としては、例えば図6に示すように分岐点における反射を抑えるために抵抗素子7を接続することが行われているが、これは分岐点における反射を抑えるためであり、分岐された各々の回路からの反射波成分を完全に無くして不要電磁輻射を低減するものではない。

【0010】すなわち、分岐点3に抵抗素子7を接続することにより全体の信号レベルが低下するから、ある程度の反射成分を抑え、不要電磁輻射による影響を低減できるものの、クロック信号などの“0”又は“1”というデジタル信号を誤り無く伝えるための信号伝送波形と、不要電磁輻射の低減させる手法とが最適に実現されないために、抵抗素子7を接続しても信号波形と乱れと不要電磁輻射の発生とを抑え信頼性が高い高周波のクロック信号を与えることはできない。

【0011】そこで本発明は、分岐点があるのに関わらず信号伝送波形を良好な波形に保つことができ、不要電磁輻射の発生を大きく抑えることができるプリント配線基板の配線分岐方法、プリント配線基板及び電子機器のプリント配線基板を提供することを目的とする。

【0012】

【課題を解決するための手段】請求項1記載の発明は、プリント配線基板上に形成される信号配線を複数の信号配線に分岐する場合、信号配線と分岐点との間に、抵抗

信号源が高周波数帯域であり、又は信号配線が所定距離以上の長さである場合である。又、CMOS等のメモリなどの負荷がオープン状態にある場合である。

【0006】ここで、図4に示すようにクロック信号源1に信号配線2から分岐点3を介して信号配線4及び信号配線5が接続され、このうち信号配線4の終端にCMOS等のメモリなどの負荷6が接続されている回路について説明する。クロック信号源1から出力されるクロック信号は、図5に示すように立ち上がり時間 t_r 、立ち下がり時間 t_f を有している。クロック信号の伝播する速度 v_o と、信号配線4の長さ l と、クロック信号が信号配線4を伝播してその終端から反射して逆方向に戻ってくる時間 $2T$ との関係は、

$$\dots(1)$$

$$\dots(2)$$

が例えば100MHzの高周波数帯域で、信号配線4が所定距離以上の長さ l であり、これは、

$$\dots(3)$$

素子と各信号配線の特性格インピーダンスとの関係が分岐元の信号配線から分岐点に向かって信号伝播するときの整合条件と分岐された信号配線の各終端から反射されて逆方向に戻って信号伝播するしときの整合条件との双方を満たす少なくとも1つの分岐回路を備えたプリント配線基板である。

【0013】請求項2記載の発明は、プリント配線基板上に形成され特性格インピーダンス Z_1 を有する第1の信号配線を、同一の特性格インピーダンス Z_2 、 Z_3 を有する第2と第3の信号配線に分岐する場合、これら第1乃至第3の信号配線と分岐点との間にそれぞれ抵抗値 R_1 、 R_2 、 R_3 の各抵抗素子を接続し、これら抵抗素子と第1乃至第3各信号配線の特性格インピーダンス Z_1 、 Z_2 ($=Z_3$)との関係を、

$$R_1 = (Z_2 + R_2)(Z_2 - 2R_2) / 4 \cdot R_2$$

を満たすものとするプリント配線基板である。

【0014】請求項3記載の発明は、請求項2記載のプリント配線基板において、第1乃至第3の信号配線の特性格インピーダンス Z_1 、 Z_2 、 Z_3 とが全て同一の場合($Z_1 = Z_2 = Z_3$)、

$$Z_1 = 3 \cdot R_1$$

の関係を満たすものとする。

【0015】請求項4記載の発明は、分岐元の信号配線を複数の信号配線に分岐して形成されたプリント配線基板において、これら信号配線と分岐点との間に、分岐元の信号配線から分岐点に向かって信号伝播するときの整合条件と、分岐された信号配線の各終端から反射されて逆方向に戻って信号伝播するしときの整合条件との双方を満たすような各信号配線の特性格インピーダンスとの関係を有する各抵抗素子を接続したプリント配線基板で

ある。

【0016】請求項5記載の発明は、請求項4記載のプリント配線基板において、特性インピーダンス Z_1 を有する第1の信号配線を、同一の特性インピーダンス Z_2 、 Z_3 を有する第2と第3の信号配線に分岐する場合、第1乃至第3の信号配線と分岐点との間に接続される各抵抗素子の各抵抗値を R_1 、 R_2 、 R_3 とすると、 $R_1 = (Z_2 + R_2)(Z_2 - 2R_2) / 4 \cdot R_2$ の関係を満たすものを選定される。

【0017】請求項6記載の発明は、請求項4記載のプリント配線基板において、第1乃至第3の信号配線の特性インピーダンス Z_1 、 Z_2 、 Z_3 とが全て同一の場合($Z_1 = Z_2 = Z_3$)、 $Z_1 = 3 \cdot R_1$ の関係を満たすものとする。

【0018】請求項7記載の発明は、クロック信号源と、このクロック信号源に接続された第1の信号配線と、この第1の信号配線から分岐された第2及び第3の信号配線と、これら第2及び第3の信号配線の終端に接続されたメモリなどの各負荷とが形成された電子機器のプリント配線基板において、第1乃至第3の信号配線と分岐点との間にそれぞれ抵抗値 R_1 、 R_2 、 R_3 の各抵抗素子を接続し、これら抵抗素子と第1乃至第3各信号配線の特性インピーダンス Z_1 、 Z_2 、 Z_3 との関係を、第2と第3の信号配線の各特性インピーダンス Z_2 、 Z_3 が同一の場合、 $R_1 = (Z_2 + R_2)(Z_2 - 2R_2) / 4 \cdot R_2$ を満たすものとする電子機器のプリント配線基板である。

【0019】請求項8記載の発明は、請求項7記載の電子機器のプリント配線基板において、第1乃至第3の信号配線の特性インピーダンス Z_1 、 Z_2 、 Z_3 とが全て同一の場合($Z_1 = Z_2 = Z_3$)、 $Z_1 = 3 \cdot R_1$ の関係を満たすものとする。

【0020】請求項9記載の発明は、請求項7又は8記載の電子機器のプリント配線基板において、クロック信号

$$Z_1 = R_1 + A_2 \cdot A_3 / (A_2 + A_3)$$

ここで、 $A_2 = Z_2 + R_2$ 、 $A_3 = Z_3 + R_3$ である。

【0027】第2に、クロック信号が分岐点 B_0 を通過後に、第2の信号配線11の終端で生じた反射波が第2

$$Z_2 = R_2 + A_1 \cdot A_3 / (A_1 + A_3)$$

ここで、 $A_1 = Z_1 + R_1$ である。

【0028】上記の如く第2の信号配線11の特性インピーダンス Z_2 と第3の信号配線12の特性インピーダンス Z_3 とが同一の値($Z_2 = Z_3$)とすると、 $2 \times (Z_1 - R_1) = A_2$

上記式(5)は、

$$(A_1 + A_2)(Z_2 - R_2) = A_1 \cdot A_2$$

により表わされる。

号源の周波数と第2及び第3の信号配線の各終端から反射されて逆方向に戻ってくる信号伝播の時間との関係に基づいて得られるクロック信号源の高周波数帯域、又は所定距離以上の第2及び第3の信号配線の長さのいずれか一方又は両方の場合に、第1乃至第3の信号配線と分岐点との間にそれぞれ各抵抗素子を接続するものである。

【0021】請求項10記載の発明は、請求項7又は8記載の電子機器のプリント配線基板において、メモリなどの負荷がオープン状態にある場合に、第1乃至第3の信号配線と分岐点との間にそれぞれ各抵抗素子を接続するものである。

【0022】

【発明の実施の形態】(1) 以下、本発明の第1の実施の形態について図面を参照して説明する。

【0023】図1はプリント配線基板の配線分岐方法を示す回路構成図である。第1の信号配線10には、分岐点 B_0 を介して第2の信号配線11及び第3の信号配線12が接続されている。第1の信号配線10は、特性インピーダンス Z_1 を有し、第2の信号配線11は特性インピーダンス Z_2 、第3の信号配線12は特性インピーダンス Z_3 を有している。ここでは、第2の信号配線11の特性インピーダンス Z_2 と第3の信号配線12の特性インピーダンス Z_3 とが同一の値($Z_2 = Z_3$)を有するものとする。

【0024】又、第1の信号配線10と分岐点 B_0 の間には抵抗素子 R_1 が接続され、第2の信号配線11と分岐点 B_0 の間には抵抗素子 R_2 が接続され、第3の信号配線12と分岐点 B_0 の間には抵抗素子 R_3 が接続されている。なお、これら抵抗素子 $R_1 \sim R_3$ の各抵抗値は、便宜上 $R_1 \sim R_3$ とする。

【0025】このような回路構成で、信号伝送波形を良好に保ち、不要電磁輻射の発生を大きく抑えるには、次の2つの整合条件を満たすことである。

【0026】第1に、例えばクロック信号が第1の信号配線10に伝播し、第1の信号配線10と抵抗素子 R_1 との境界 B_1 において、反射波が生じない整合条件は、

$$\dots (4)$$

の信号配線11に伝播し、この第2の信号配線11と抵抗素子 R_2 との境界 B_2 において反射波が生じない整合条件は、

$$\dots (5)$$

$$Z_2 = Z_3, R_2 = R_3$$

となり、

$$A_2 = A_3$$

から、上記式(4)は、

$$\dots (6)$$

$$\dots (7)$$

【0029】上記式(6)を上記式(7)に代入し、抵抗素子

R2を第1の信号配線10の特性インピーダンスZ1と

$$R2 = 2(Z1 - R1)^2 / (3 \cdot Z1 - R1) \quad \dots(8)$$

となる。

【0030】又、抵抗素子R1を第2の信号配線11の

$$R1 = (Z2 - R2)(Z2 - 2 \cdot R2) / 4 \cdot R2 \quad \dots(9)$$

となる。

【0031】特に第1乃至第3の信号配線10～12の

$$Z1 = 3 \cdot R1 \quad \dots(10)$$

となる。

【0032】具体的に第1の信号配線10の特性インピーダンスZ1が50Ω、60Ω、75Ωの場合の抵抗素子R1、R2及び第2の信号配線11の特性インピーダ

抵抗素子R1とで表わすと、

特性インピーダンスZ2と抵抗素子R2とで表わすと、
上記式(8)から、

全ての特性インピーダンスZ1～Z3が同一の値の場合には、Z1=Z2=Z3であるから、

ンスZ2の値は次表の通りとなる。

【0033】

【表1】

表 1

Z1	R1	R2	Z2
50	0	33.33	66.67
	10	22.86	57.14
	16.67	16.67	50
	20	13.85	46.15
	30	6.15	33.85
60	0	40	80
	10	29.41	70.59
	20	20	60
	30	11.25	48.75
75	0	50	100
	25	25	75
	45	10	50

この表から特殊な場合としては、第1の信号配線10に接続する抵抗素子R1の抵抗値が“0”、すなわち抵抗素子R1に相当する抵抗が無い場合でも最適条件が得られる場合もあることが分かる。

【0034】又、抵抗素子R1～R3を用いて上記の最適条件を実現しようとする場合、実際の抵抗素子R1～R3の抵抗値は、系列と公差を有するので、例えば上記表の中で近接した抵抗値の抵抗素子を選定することで本発明のプリント配線基板の配線分岐方法が実現できる。

【0035】このように上記第1の実施の形態においては、第1の信号配線10に分岐点B0を介して接続される第2及び第3の信号配線11、12に各抵抗素子R1～R3を接続し、クロック信号が第1の信号配線10に伝播し、第1の信号配線10と抵抗素子R1との境界B1において反射波が生じない整合条件と、クロック信号が分岐点B0を通過後に、第2の信号配線11の終端で生じた反射波が第2の信号配線11に伝播し、この第2の信号配線11と抵抗素子R2との境界B2において反射波が生じない整合条件とを満たすような抵抗素子R1と第2の信号配線11の特性インピーダンスZ2と抵抗素子R2との関係にするので、分岐点B0があるのに関わらず信号伝送波形を良好な波形に保つことができ、反射波成分が分岐点B0と第2及び第3の信号配線11、12の終端との間で生じる共振周波数によって生じる不要電磁輻射の発生を大きく低減できる。

【0036】(2)次に、本発明の第2の実施の形態について図面を参照して説明する。

【0037】図2はプリント配線基板の配線分岐方法を適用した電子機器のプリント配線基板の回路構成図である。クロック信号源20には、内部バスである第1の信号配線21が接続されている。この第1の信号配線21には、分岐点B0を介して内部バスである第2の信号配線22及び第3の信号配線23が接続され、これら第2及び第3の信号配線22、23の終端にはそれぞれCMOS等のメモリ24、25が接続されている。第1の信号配線21の特性インピーダンスはZ10であり、第2の信号配線22の特性インピーダンスはZ11、第3の信号配線23の特性インピーダンスはZ12である。

【0038】このような回路構成で反射波の影響を受けて乱れた信号伝送波形となるのは、クロック信号源20の周波数と分岐された第2及び第3の信号配線22、23の各終端から反射されて逆方向に戻ってくる信号伝播の時間とに関係があり、例えば、クロック信号源20が例えば100MHzの高周波数帯域で、第2及び第3の信号配線22、23が所定距離以上の長さである場合である。又はCMOS等のメモリ24、25がオープン状態にある場合である。

【0039】第1の信号配線21と分岐点B0との間には抵抗素子R10が接続され、第2の信号配線22と分岐点B0との間には抵抗素子R11が接続され、第3の信号

配線 2 3 と分岐点 B o との間には抵抗素子 R 12 が接続されている。なお、これら抵抗素子 R 10 ~ R 12 の各抵抗値は、便宜上 R 10 ~ R 12 とする。

【0040】このような回路構成で、信号伝送波形を良好に保ち、不要電磁輻射の発生を大きく抑えるには、上記同様に 2 つの整合条件を満たすことである。

【0041】第 1 に、クロック信号が第 1 の信号配線 2 1 に伝播し、第 1 の信号配線 2 1 と抵抗素子 R 10 との境界 B 1 において、反射波が生じない整合条件であり、第

$$R_{10} = (Z_{11} - R_{11}) (Z_{11} - 2 \cdot R_{11}) / 4 \cdot R_{11} \quad \cdots(11)$$

となる。

【0043】特に第 1 乃至第 3 の信号配線 2 1 ~ 2 3 の

$$Z_{10} = 3 \cdot R_{10}$$

となる。

【0044】このように上記第 2 の実施の形態によれば、クロック信号源 2 0 から出力されるクロック信号が第 1 の信号配線 2 1 から分岐点 B o を介して第 2 及び第 3 の信号配線 2 2、2 3 に信号伝播しても、第 1 の信号配線 2 1 と第 2 及び第 3 の信号配線 2 2、2 3 との間が整合し、たとえクロック信号源 2 0 が高周波数帯域であり、第 2 及び第 3 の信号配線 2 2、2 3 が所定距離以上の長さである場合でも、又、CMOS 等のメモリ 2 4、2 5 がオープン状態にあっても、分岐された第 2 及び第 3 の信号配線 2 2、2 3 の終端から反射波が生ぜずに、不要電磁輻射の発生を大きく低減できる。

【0045】なお、本発明は、上記第 1 及び第 2 の実施の形態に限定されるものでなく次の通りに変形してもよい。

【0046】例えば、上記第 1 及び第 2 の実施の形態では、第 1 の信号配線から第 2 及び第 3 の信号配線に分岐される場合について説明したが、第 1 の信号配線から複数の信号配線に分岐される場合でも、反射波が生じない整合条件を満たす関係の回路構成すればよい。

【0047】

【発明の効果】以上詳記したように本発明によれば、分岐点があるのに関わらず信号伝送波形を良好な波形に保つことができ、不要電磁輻射の発生を大きく抑えて、品質のよい信号を伝送することができるプリント配線基板の配線分岐方法、プリント配線基板及び電子機器のプリ

2 に、クロック信号が分岐点 B o を通過後に、第 2 の信号配線 2 2 の終端で生じた反射波が第 2 の信号配線 2 2 に伝播し、この第 2 の信号配線 2 2 と抵抗素子 R 11 との境界 B 2 において反射波が生じない整合条件である。

【0042】これら整合条件を満たし、かつ第 2 の信号配線 2 2 の特性インピーダンス Z 11 と第 3 の信号配線 2 3 の特性インピーダンス Z 12 とが同一の値 (Z 11 = Z 12) とすると、抵抗素子 R 10 を第 2 の信号配線 2 2 の特性インピーダンス Z 11 と抵抗素子 R 11 とで表わすと、

全ての特性インピーダンス Z 10 ~ Z 12 が同一の値の場合には、Z 11 = Z 12 = Z 13 であるから、

$$\cdots(12)$$

ント配線基板を提供できる。

【図面の簡単な説明】

【図 1】本発明に係わるプリント配線基板の配線分岐方法を示す第 1 の実施の形態の回路構成図。

【図 2】本発明に係わるプリント配線基板の配線分岐方法を適用した電子機器のプリント配線基板の示す第 2 の実施の形態の回路構成図。

【図 3】クロック信号の信号伝送波形及び信号配線 2 の分岐の終端からの反射波の影響を受けて乱れた信号伝送波形を示す図。

【図 4】分岐の信号配線を示す回路図。

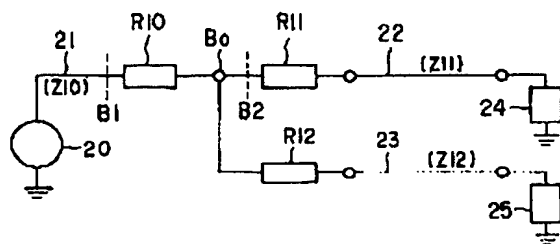
【図 5】クロック信号の波形図。

【図 6】従来における抵抗素子を接続した分岐方法を示す回路図。

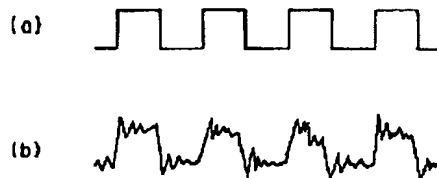
【符号の説明】

- 1 0 : 第 1 の信号配線、
- 1 1 : 第 2 の信号配線、
- 1 2 : 第 3 の信号配線、
- R 1、R 2、R 3 : 抵抗素子、
- B o : 分岐点、
- 2 0 : クロック信号源、
- 2 1 : 第 1 の信号配線、
- 2 2 : 第 2 の信号配線、
- 2 3 : 第 3 の信号配線、
- 2 4、2 5 : メモリ。

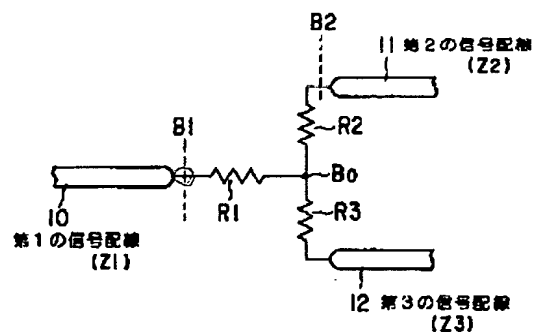
【図 2】



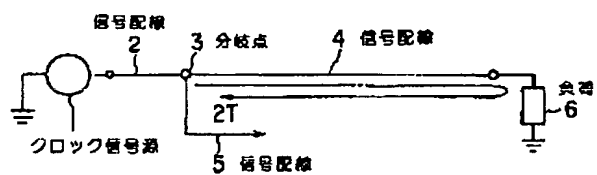
【図 3】



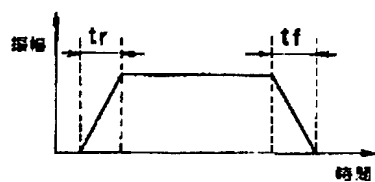
【図1】



【図4】



【図5】



【図6】

